

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-114500

(43)Date of publication of application : 02.05.1995

(51)Int.Cl.

G06F 12/08

G11C 16/06

(21)Application number : 05-261209

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

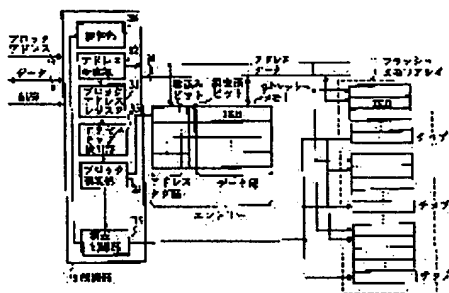
(22)Date of filing : 19.10.1993

(72)Inventor : NISHIKAWA YUKINOBU

(54) NONVOLATILE MEMORY DEVICE**(57)Abstract:**

PURPOSE: To perform the write of data on nonvolatile memory at a high speed by selecting and erasing a data block in flash memory in accordance with the data block in which the write bit of cache memory is set and no erased bit is set.

CONSTITUTION: A block selection part 34 selects the data block corresponding to an entry in which the write bit is set and no erased bit is set in the entries in which the data blocks that belong to a flash memory chip other than the one detected by an access chip detecting part 33 are stored. An erasure control part 35 performs data block erasure in a flash memory array 1 on the data block in selected flash memory, and sets the erased bit of erasure object entry on the cache memory 2. An arbitration part 38 arbitrates the copy back of an access control part, an operation of cache entry update, and the erasure operation of the erasure control part 35 when mis-read or mis-write occurs.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-114500

(43)公開日 平成7年(1995)5月2日

(51)Int.Cl. ⁶	識別記号	片内整理番号	F I	技術表示箇所
G 0 6 F 12/08	3 1 0 A	7608-5B		
G 1 1 C 16/06		6866-5L	G 1 1 C 17/ 00	5 3 0 B

審査請求 未請求 請求項の数3 O L (全 10 頁)

(21)出願番号 特願平5-261209

(22)出願日 平成5年(1993)10月19日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 西川 幸伸

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

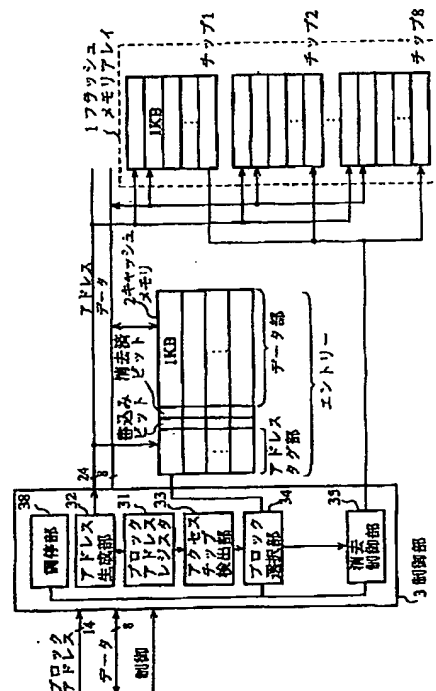
(74)代理人 弁理士 中島 司朗

(54)【発明の名称】 不揮発性メモリ記憶装置

(57)【要約】 (修正有)

【目的】 不揮発性メモリに対するデータ読み出しおよび書き込みと、データの消去を並列して行ない、高速化を図る。

【構成】 フラッシュメモリアレイ1中のデータブロックのうち、複数のブロックと、アレイ中の対応するデータブロックと内容の不一致を示す書き込みビットとを対応させて記憶するキャッシュメモリ2と、メモリ2の各データブロック毎に、アレイ1の対応するデータブロックが消去されたビットを保持する消去済みビット保持手段と、フラッシュメモリにおいてアクセス中のメモリ素子を検出するアクセスチップ検出部33と、検出された以外のフラッシュメモリ素子に属するデータブロックで書き込みビットが立っていて消去済みビットが立っていないデータブロックに対応するフラッシュメモリ中のブロックを選択するブロック選択部34と、選択されたブロックを消去して対応する消去済みビットを立てる消去制御部35とを備えたことを特徴とする。



【特許請求の範囲】

【請求項1】 ブロック単位のデータ消去が可能な複数のフラッシュメモリ素子を用いた不揮発性記憶装置であって、

フラッシュメモリ中のデータブロックのうち、複数のデータブロックと、フラッシュメモリ中の対応するデータブロックと内容が一致していないことを示す書き込みビットとを対応させて記憶するキャッシュメモリと、キャッシュメモリ中の各データブロック毎に、フラッシュメモリ中の対応するデータブロックが消去されたことを示す消去済みビットを保持する消去済みビット保持手段と、

フラッシュメモリにおいてアクセス中のフラッシュメモリ素子を検出するアクセス対象検出手段と、アクセス対象検出手段により検出された以外のフラッシュメモリ素子に属するデータブロックでキャッシュメモリに格納されているデータブロックのうち、書き込みビットが立っていてかつ消去済みビットが立っていないデータブロックに対応するフラッシュメモリ中のデータブロック選択する選択手段と、
選択手段により選択されたデータブロックを消去して対応する消去済みビットを立てる消去制御手段とを備えたことを特徴とする不揮発性記憶装置。

【請求項2】 前記不揮発性記憶装置は、さらに、消去中のデータブロックの消去経過時間を記憶する領域を有する消去時間記憶手段を備え、
前記消去制御手段は、消去開始時に消去時間記憶手段を参照して該当するデータブロックの消去経過時間が記憶されている場合には、消去時間を求めて消去を行い、また、既に消去中のブロックに対してアクセスが発生したときは、消去動作を中断して消去経過時間を消去時間記憶手段に書き込むことを特徴とする請求項1記載の不揮発性記憶装置。

【請求項3】 アクセス対象検出手段は、フラッシュメモリに対するアクセスが実行中であるタイミング信号を出力し、
前記消去制御手段は、前記タイミング信号の出力期間中に消去動作を行うことを特徴とする請求項1又は2記載の不揮発性記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はコンピュータシステムにおける、不揮発性メモリを用いた二次記憶装置に関する。

【0002】

【従来の技術】 近年、コンピュータの二次記憶装置における技術革新が活発となり、データアクセスの高速化とデータ容量の大容量化が進んでいる。その中でも小形の二次記憶装置として電源を切った状態においてもデータを保持するという利点を有する不揮発性メモリが、使わ

れるようになってきた。

【0003】 従来の不揮発性メモリ記憶装置に関する発明としては、例えば特開平03-259498がある。この従来例の不揮発性メモリ記憶装置は、不揮発性メモリであるEEPROMとその前段に通常のFIFOメモリを用いた一時記憶手段とを設けている。このEEPROMは、チップ単位又はブロック単位で消去可能なフラッシュメモリを用いている。CPUから書き込む場合は、データを一旦一時記憶装置に書き込み、さらに別回路が一時記憶装置から読み出して自動的にEEPROMへの書き込みを行う。これによりCPUが不揮発性メモリの書き込みに占有される時間を減少しようとしている。その際フラッシュメモリを用いているので、すでに存在するデータを消去してから書き込みを行なう必要がある。

【0004】

【発明が解決しようとする課題】 しかしながら、上記の従来技術によれば、不揮発性メモリ記憶装置に対するデータの書き換えが発生してから消去、データ書き込みという手順を踏むために、不揮発性メモリ記憶装置自体に対するデータ書き換えが遅いという問題点を有していた。

【0005】 ところで、FIFOメモリを用いずに、キャッシュメモリを備えることにより高速化を図る構成も考えられる。この場合、キャッシュヒット時には、高速にアクセス出来るが、キャッシュミス発生時には、やはり消去、データ書き込みという手順を踏むこととなるので、データ書き込みが遅いという問題が残る。本発明は上記の課題に鑑み、不揮発性メモリに対するデータの書き込みを高速に行うことができる不揮発性メモリ記憶装置を提供することを目的とする。

【0006】

【課題を解決するための手段】 上記目的を達成するため、本発明は、ブロック単位のデータ消去が可能な複数のフラッシュメモリ素子を用いた不揮発性記憶装置であって、フラッシュメモリ中のデータブロックのうち、複数のデータブロックと、フラッシュメモリ中の対応するデータブロックと内容が一致していないことを示す書き込みビットとを対応させて記憶するキャッシュメモリと、キャッシュメモリ中の各データブロック毎に、フラッシュメモリ中の対応するデータブロックが消去されたことを示す消去済みビットを保持する消去済みビット保持手段と、フラッシュメモリにおいてアクセス中のフラッシュメモリ素子を検出するアクセス対象検出手段と、アクセス対象検出手段により検出された以外のフラッシュメモリ素子に属するデータブロックでキャッシュメモリに格納されているデータブロックのうち、書き込みビットが立っていてかつ消去済みビットが立っていないデータブロックに対応するフラッシュメモリ中のデータブロック選択する選択手段と、選択手段により選択された

データブロックを消去して対応する消去済みビットを立てる消去制御手段とを備えている。

【0007】また消去中のデータブロックの消去経過時間を記憶する領域を有する消去時間記憶手段を備え、前記消去制御手段は、消去開始時に消去時間記憶手段を参照して該当するデータブロックの消去経過時間が記憶されている場合には、消去時間を求めて消去を行い、また、既に消去中のブロックに対してアクセスが発生したときは、消去動作を中断して消去経過時間を消去時間記憶手段に書き込むことを特徴とする構成を備えていてもよい。

【0008】また、アクセス対象検出手段は、フラッシュメモリに対するアクセスが実行中であるタイミング信号を出力し、前記消去制御手段は、前記タイミング信号の出力期間中に消去動作を行うことを特徴とする構成を備えていてもよい。

【0009】

【作用】上記、本請求項1に係る発明の構成によれば、本発明は、ブロック単位のデータ消去が可能な複数のフラッシュメモリ素子を用いた不揮発性記憶装置である。

フラッシュメモリにおいてアクセス中のフラッシュメモリ素子は、アクセス対象検出手段によって検出される。【0010】アクセス対象検出手段により検出された以外のフラッシュメモリ素子に属するデータブロックでキャッシュメモリに格納されているデータブロックのうち、キャッシュメモリの書き込みビットが立っていて消去済みビット保持手段の消去済みビットが立っていないデータブロックに対応するフラッシュメモリ中のデータブロックは、選択手段によって選択される。

【0011】選択手段により選択されたデータブロックは、消去制御手段によって消去されて、そのデータブロックに対応する消去済みビットも消去手段によって立てられる。また請求項2では、消去中のデータブロックの消去経過時間は、消去時間記憶手段によって記憶される。

【0012】前記消去制御手段によって、消去開始時に消去時間記憶手段を参照して該当するデータブロックの消去経過時間が記憶されている場合には、消去時間を求めて消去が行われ、また、既に消去中のブロックに対してアクセスが発生したときは、消去動作が中断されて、消去経過時間が消去時間記憶手段に書き込まれる。また請求項3では、フラッシュメモリに対するアクセスが実行中であるタイミング信号は、アクセス対象検出手段によって出力される。

【0013】前記タイミング信号の出力期間中に、前記消去制御手段によって、消去動作は、行われる。

【0014】

【実施例】以下、本発明の第1の実施例を図面に従い、具体的に説明する。図1は本発明の第1の実施例における不揮発性メモリ記憶装置の構成図である。図1におい

て、1はフラッシュメモリアレイであり、データ幅8ビットでブロックサイズ1kBの16Mbitフラッシュメモリ8個で構成されている。不揮発性メモリであるこのフラッシュメモリではデータ消去は1kBのブロック単位、データの読出し／書き込みはバイト単位で可能である。ここで、1バイトデータの読出し時間は100ナノ秒、消去済みブロックに対する1バイトデータの書き込み時間は3マイクロ秒、1kBブロックの消去時間は9ミリ秒とする。この場合、フラッシュメモリの1kBのデータブロック読出し時間は100マイクロ秒、1kBの消去済みブロックに対するデータ書き込み時間は3ミリ秒となる。

【0015】2はキャッシュメモリであり、データ部、アドレスタグ部、書き込みビット、消去ビットからなる16個のエントリおよびアクセス制御部(図外)を有する。エントリの中のデータ部は、フラッシュメモリ中の任意の1ブロックのデータを記憶する。アドレスタグ部は14ビットのブロックアドレスを記憶し、アドレスタグ部と同一エントリ中のデータ部がフラッシュメモリ中のどのブロックのデータを記憶しているかを示す。書き込みビットは、ONで同一エントリ中のデータ部のデータがフラッシュメモリ中の対応するブロックのデータと一致していないことを示し、フラッシュメモリへのコピーバックが必要であることを意味する。ここでコピーバックとは、キャッシュメモリ2のデータ部に存在するデータを同一エントリ中のアドレスタグ部が示すフラッシュメモリのブロックアドレスにコピーする作業である。消去済みビットは、ONで、データ部に対応するフラッシュメモリ中のブロックが消去済みであることを示し、フラッシュメモリへのコピーバックが可能であることを意味する。また1バイトデータの読出し／書き込み時間は50ナノ秒とする。即ち、1kBブロックの読出し／書き込み時間は50マイクロ秒である。アクセス制御部(図外)は、CPUからのアクセスに際して、キャッシュにヒット／ミスしているかを判定し、判定結果に応じてキャッシュメモリ2の読み出し／書き込み動作、及びエントリのコピーバック、アップデート等の動作を制御する。その際、キャッシュメモリ2に書き込みがあった場合には、書き込みビットをセットする。本実施例では、キャッシュメモリ2の制御方式としてコピーバック方式、エントリの入替えには、LRU方式を採用している。ここで、キャッシュエントリアップデートとは、フラッシュメモリアレイ1からキャッシュメモリ2にデータブロックをコピーすることである。

【0016】3は制御部であり、ブロックアドレスレジスタ31、アドレス生成部32、アクセスチップ検出部33、ブロック選択部34、消去制御部35、調停部38から構成され、CPUとのデータ転送およびフラッシュメモリアレイ1並びにキャッシュメモリ2を制御する。ブロックアドレスレジスタ31は、CPUから送ら

れてくるブロックアドレスを格納する。

【0017】アドレス生成部32は、14ビットのブロックアドレスに10ビットのブロック内アドレスオフセットを加算してフラッシュメモリアレイ1の24ビットのバイトアドレスを生成する。そのバイトアドレスは1kB分のデータのバイトアドレスとして連続に生成される。アクセスチップ検出部33は、ブロックアドレスレジスタ31の内容からホストがアクセスしようとしているブロックを含むフラッシュメモリチップを検出する。

【0018】ブロック選択部34は、アクセスチップ検出部33で検出されたチップ以外のフラッシュメモリチップに属するデータブロックを格納するエントリーの中で書き込みビットがONかつ消去済みビットがOFFのエントリーに対応するデータブロックを選択する。消去制御部35は、ブロック選択部34によって選択されたフラッシュメモリ中のデータブロックに対してブロックアドレスと消去制御信号を送ってフラッシュメモリアレイ1のデータブロック消去を行う。このとき、ブロックアドレス及び消去制御信号は、内部タイマー（図外）がカウントする消去時間（9ミリ秒）の間に有効に出力される。消去が終了すると、キャッシュメモリ2の消去対象エントリーの消去済みビットをONにする。また各フラッシュメモリチップに対応する消去動作フラグ有し、消去動作中はONとなる。

【0019】調停部38は、リードミス又はライトミス発生時に、アクセス制御部（図外）が決定したリプレース対象のエントリー中の書き込みビット、消去ビット、及び消去制御部35による消去動作フラグを参照して、アクセス制御部（図外）のコピーバック、キャッシュエントリーアップデートの動作と消去制御部35の消去動作とを調停する。

【0020】以上のように構成された本実施例の不揮発性メモリ記憶装置について、以下その動作を説明する。CPUは不揮発性メモリ記憶装置に対してデータ読出し／書き込み要求を行うため、14ビットのブロックアドレスと読出し／書き込み制御信号を不揮発性メモリ記憶装置の制御部3に送る。制御部3にCPUにより受けた14ビットのブロックアドレスをブロックアドレスレジスタ31に設定する。アドレス生成部32は、その14ビットのブロックアドレスに10ビットのブロック内アドレスオフセットを加算してフラッシュメモリアレイ1の24ビットのバイトアドレスを1kB分連続に生成する。

【0021】ここで制御部3は、CPUからのデータ読出し／書き込み制御信号を受け取ると、キャッシュメモリ2にブロックアドレスを送出する。キャッシュメモリ2の中のアクセス制御部（図外）はキャッシュメモリ2にヒット／ミスしたかを判定する。説明の便宜上（1）キャッシュヒットしている場合、（2）キャッシュリードミスヒットが発生している場合、（3）キャッシュライトミスヒットが発生している場合、に分けて説明す

る。ここでキャッシュミスとは、キャッシュメモリ2にCPUが読み出し／書き込みをしようとするブロックがエントリーされていないことであり、キャッシュヒットとは、エントリーされていることである。

【0022】（1）キャッシュヒットの場合、目的とするデータブロックがキャッシュメモリ2に対して読出され又は書き込まれるので、高速な動作がおこなわれる。これとともに、制御部3によるフラッシュメモリアレイ1のデータブロック消去動作が次のようにして行われる。アクセスチップ検出部33は、ブロックアドレスレジスタ31の内容から対応するフラッシュメモリチップを検出する。ブロック選択部34は、アクセスチップ検出部33で検出されたチップ以外のフラッシュメモリチップに属するデータブロックを格納するエントリーのなかで、書き込みビットがON、かつ消去済みビットがOFFのエントリーに対応するデータブロックを選択する。消去制御部35はブロック選択部34が選択したデータブロックに対してブロックアドレスと消去制御信号を送ってフラッシュメモリアレイ1のデータブロック消去を行うとともに、消去動作フラグをONにする。消去制御部35はフラッシュメモリアレイ1の当該データブロックの消去が終了すると、消去動作フラグをOFFにし、キャッシュメモリ2のアドレスタグ部の消去済みビットをONにする。

【0023】このようにして、キャッシュミスヒットが発生していない場合には、フラッシュメモリアレイ1に対するコピーバック、キャッシュエントリーアップデートが発生していないので、フラッシュメモリアレイ1に対する読出し／書き込み動作と消去制御部35の消去動作が競合しない、したがって消去制御部35は、CPUからのキャッシュメモリへの読み出し書き込みとは無関係に、エントリーに対応するフラッシュメモリアレイ1のデータブロックの消去が可能である。

【0024】（2）キャッシュリードミスヒットの動作を図2を基に説明する。この場合CPUの目的とするデータがキャッシュメモリ2中に存在しないので、コピーバックやキャッシュエントリーアップデートが必要となる。調停部38は、リプレース対象エントリーの書き込みビット及び消去済みビットを参照し、（a）書き込みビットがONかつ消去済みビットがOFFの場合（b）書き込みビットがONかつ消去済みビットがONの場合（c）書き込みビットがOFFである場合のどれであるか判断する（ステップS201、ステップS202）。

【0025】（a）この場合、リプレース対象エントリーの書き込みビットがONなので、キャッシュメモリ2のデータブロックをフラッシュメモリアレイ1にコピーバックする必要がある。かつ消去済みビットがOFFなので、フラッシュメモリアレイ1の該当データブロックは、消去動作中かまだ消去されていないデータブロックである。調停部38は、消去制御部35の消去動作フラ

グを参照し、消去動作フラグがONであれば(ステップS206)、消去が終了するまで待った後(ステップS207)、消去済みビットのチェックからやり直す(ステップS202)。消去動作フラグがOFFであれば(ステップS206)、まだ消去動作が開始されていないデータブロックであるので、調停部38は消去制御部35に消去を開始させる(ステップS208)。アクセス制御部(図外)は消去終了後コピーバック処理を開始させる。コピーバックが終了後、アクセス制御部(図外)によりそのエンタリーに読み込み対象データのキャッシュエントリアップデートと平行してCPUへの対象データの読出制御が行われる(ステップS205)。また、コピーバックや、キャッシュエントリアップデートなどの動作と並行に、消去制御部35は、フラッシュメモリアレイ1の別チップ内のデータブロックの消去を行う。以下その動作を説明する。

【0026】消去制御部35独立に行われるフラッシュメモリアレイ1のデータブロック消去の動作を説明する。制御部3のアクセスチップ検出部33は、ブロックアドレスレジスタ31の内容からフラッシュメモリアレイ1のデータの読みだし処理でアクセス対象のフラッシュメモリチップを検出する。即ち、ブロックアドレスレジスタ31に設定された14ビットの上位3ビットを抽出することにより、8個のフラッシュメモリチップのいずれに含まれるブロックかを検出する。ブロック選択部34は、アクセスチップ検出部33で検出されたチップ以外のフラッシュメモリチップに属するデータブロックを格納するエンタリーのなかで、書き込みビットがONのエンタリーに対応するデータブロックを選択する。消去制御部35はブロック選択部34が選択したデータブロックに対してブロックアドレスと消去制御信号を送ってフラッシュメモリアレイ1のデータブロック消去を行う。消去が終了すると、キャッシュメモリ2の消去対象エンタリーの消去済みビットをONにする。

【0027】(b) この場合、リブレース対象エンタリー書き込みビットがONなので、キャッシュメモリ2のデータブロックをフラッシュメモリアレイ1にコピーバックする必要がある。かつ消去済みビットがONなので、フラッシュメモリアレイ1の該当データブロックは、消去済みである。調停部38は消去制御部35の消去動作フラグを参照する(ステップS203)。アクセス制御部(図外)は、消去動作フラグがOFFであれば、直ちにコピーバック処理を開始する。消去動作フラグがONであれば、アクセス対象チップの他のデータブロックを消去中のため、消去が終了するまで待った後(ステップS204)、コピーバック処理を開始する。コピーバックが終了後、そのエンタリーに読み込み対象データのキャッシュエントリアップデートと平行してCPUへの対象データの読出制御を行う(ステップS205)。

【0028】(c) 書き込みビットがOFFの場合。調停部38は、消去制御部の35消去動作フラグを参照する(ステップS209)。アクセス制御部(図外)は、消去動作フラグがOFFであれば、直ちにコピーバック処理を開始する。消去動作フラグがONであれば、アクセス対象チップを消去中のため、消去が終了するまで待った後(ステップS210)キャッシュエントリアップデートを行う。平行してアクセス制御部(図外)は、CPUへの対象データの読出制御を行う(ステップS211)。

【0029】(3) キャッシュライトミスヒットの動作を図3を基に説明する。この場合CPUの目的とするデータがキャッシュメモリ2中に存在しない。調停部38は、書き込みビット及び消去済みビットを参照し、

(a) 書き込みビットがONかつ消去済みビットがOFFの場合 (b) 書き込みビットがONかつ消去済みビットがONの場合 (c) 書き込みビットがOFFである場合のどれであるか判断する(ステップS301、ステップS302)。

【0030】(a) この場合、書き込みビットがONなので、キャッシュメモリ2のデータブロックをフラッシュメモリアレイ1にコピーバックする必要がある。かつ消去済みビットがOFFなので、フラッシュメモリアレイ1の該当データブロックは、消去動作中かまだ消去されていないデータブロックである。調停部38は、消去制御部35の消去動作フラグを参照し、消去動作フラグがONであれば(ステップS307)、消去が終了するまで待った後(ステップS308)、消去済みビットのチェックからやり直す(ステップS302)。消去動作フラグがOFFであれば、まだ消去動作が開始されていないデータブロックであるので、調停部38は消去制御部35に消去を開始させる(ステップS309)。アクセス制御部(図外)は消去終了後コピーバック処理を開始させる。(ステップS305)。コピーバックが終了後、CPUよりキャッシュメモリ2の該当エンタリーに書き込み対象データデータブロックを書き込む、書き込み終了後、当エンタリーの書き込みビットをONに、消去済みビットをOFFにリセットする(ステップS306)。また、コピーバックなどの動作と並行に、消去制御部35は、フラッシュメモリアレイ1の別チップ内のデータブロックの消去を行う。

【0031】(b) この場合、書き込みビットがONなので、キャッシュメモリ2のデータブロックをフラッシュメモリアレイ1にコピーバックする必要がある。かつ消去済みビットがONなので、フラッシュメモリアレイ1の該当データブロックは、消去済みである。調停部38は消去制御部35の消去動作フラグを参照する(ステップS303)。アクセス制御部(図外)は、消去動作フラグがOFFであれば、直ちにコピーバック処理を開始する。消去動作フラグがONであれば、消去が終了す

るまで待った後(ステップS304)、コピーバック処理を開始する。コピーバックが終了後、CPUよりキャッシュメモリ2の該当エントリーに書き込み対象データデータブロックを書き込む、書き込み終了後、当エントリーの書き込みビットをONに、消去済みビットをOFFにリセットする(ステップS306)。

【0032】(c)リブレース対象エントリーの書き込みビットがOFFの場合、アクセス制御部(図外)は、CPUからの書き込み対象データデータブロックをキャッシュメモリ2の該当エントリーに書き込む。書き込み終了後、当エントリーの書き込みビットをONに、消去済みビットをOFFにリセットする(ステップS306)。

【0033】以上のように動作することにより、本実施例によれば、アクセス制御部(図外)によるCPUからのデータ読出し/書き込み要求に対する処理と消去制御部35によるフラッシュメモリアレイ1のデータブロックの消去とが並行してなされるので、キャッシュミスが発生した場合でもCPUのアクセスの高速化が図れる。図4は本発明の第2の実施例における不揮発性メモリ記憶装置の構成図である。同図は、第一の実施例の図1とで同じ符号を付した構成要素は、同じものであるため、説明を省略し、以下異なる点のみ説明する。

【0034】異なる点は、制御部3において、消去状態管理部46が新たに追加された点と、図1の消去制御部35、調停部38の代わりに消去制御部45、調停部48を備える点である。消去制御部45は、基本的には図1の消去制御部35と同じであり、次の点が異なる。消去動作中、調停部48からの消去中断要求を受けたとき、消去動作を中断して、その時点の内部タイマー(図外)を参照して消去積算時間を書き込む。

【0035】消去状態管理部46は、消去中断が発生した場合に当該データブロックの中断までの積算消去時間を記録しておく。キャッシュメモリ2のエントリーの数と同数の記憶領域を持ち、各記憶領域はキャッシュメモリ2のエントリーに対応する。調停部48は、基本的には図1の調停部38と同じであるが、コピーバック、アップデートと消去動作が競合したときに、消去制御部45に消去中断要求を送る点が異なる。

【0036】以上のように構成された本実施例の不揮発性メモリ記憶装置について、以下その動作を説明する。ただし、第1の実施例と同じものは省略する。図5をもとに、キャッシュリードミスヒットの動作を説明する。調停部48は、リブレース対象エントリーの書き込みビット及び消去済みビットを参照し、(a)書き込みビットがONかつ消去済みビットがOFFの場合(b)書き込みビットがONかつ消去済みビットがONの場合

(c)書き込みビットがOFFである場合のどれであるかを判断する(ステップS501、ステップS502)。

【0037】(a)リブレース対象エントリーの書き込み

みビットがONかつ消去済みビットがOFFの場合。調停部48は、消去制御部45の消去動作フラグを参照し、消去動作フラグがOFFである場合(ステップS506)、第1の実施例の場合と同様、消去制御部45にコピーバック対象データブロックの消去を開始させる

(ステップS507)。以下の動作は、図2の(ステップS208)と同様である。消去動作フラグがONである場合(ステップS506)は、第1の実施例の場合と異なる。調停部48は、消去制御部45が消去しているデータブロックと、アクセス制御部(図外)がコピーバックしようとしているコピーバック対象データブロックが、一致しているか判断する(ステップS508)。もし一致していなければ、現在消去中のデータブロックは、コピーバック対象外のデータブロックであるため、調停部48は、消去中断処理(ステップS509)をおこない、以下コピーバック対象ブロック消去(ステップS507)と同様である。ここで消去中断処理は、調停部48が消去制御部45に消去中断要求を出し、消去制御部45は消去中のフラッシュメモリアレイ1に対して消去中断を行ない、消去状態管理部46に当該ブロックの中断までの消去時間を書くという動作である。もし一致している場合(508)、コピーバック対象データブロックを消去中のため、コピーバックが終了後、アクセス制御部(図外)によりそのエントリーに読み込み対象データのキャッシュエントリーアップデートと平行してCPUへの対象データの読出制御が行われる(ステップS505)。

【0038】また、第1の実施例の場合同様、コピーバックやキャッシュエントリーアップデートなどの動作と並行に、消去制御部45は、フラッシュメモリアレイ1の別チップ内のデータブロックの消去を行うが、一部動作が異なる。以下、その異なる動作について説明する。消去制御部45独立に行われるフラッシュメモリアレイ1のデータブロック消去の動作で、第1の実施例と異なるところだけ説明する。消去制御部45はブロック選択部34が選択したデータブロックに対してブロックアドレスと消去制御信号を送ってフラッシュメモリアレイ1のデータブロック消去を行うまでは第1の実施例の場合と同様であるが、このとき、消去状態管理部46に格納されている消去時間をもとに残り必要な時間だけ消去する点が異なる。

(b)リブレース対象エントリーの書き込みビットがONかつ消去済みビットもONの場合。調停部48は消去制御部45の消去動作フラグを参照する(ステップS503)。ここで第1の実施例の場合と異なり、消去動作フラグがONであれば、現在消去中のデータブロックは、コピーバック対象外のデータブロックであるため、調停部48は、消去中断処理(ステップS504)をおこない、以下コピーバック対象ブロック消去(ステップS505)と同様である。

【0039】(c) リプレース対象エントリーの書き込みビットがOFFの場合。調停部48は消去制御部45の消去動作フラグを参照する(ステップS511)。ここで第1の実施例の場合と異なり、消去動作フラグがONであれば、調停部48は、消去中断処理(ステップS504)をおこない、以下第1の実施例の(ステップS211)場合と同様である。次に、キャッシュライトミスヒットの動作を図6に示す。この場合、第1の実施例のキャッシュライトミスヒットの場合と異なる点を有する。その異なる点は、第2の実施例のキャッシュリードミスヒットの動作が第1の実施例のキャッシュリードミスヒットの動作と異なる点と同じであるので省略する。以上のように動作することにより、本実施例によれば、アクセス制御部(図外)によるCPUからのデータ読出し/書き込み要求に対する処理と消去制御部35によるフラッシュメモリアレイ1のデータブロックの消去とが並行してなされるので、キャッシュミスが発生した場合でもCPUのアクセスの高速化が図れる。

【0040】また、消去実行中であっても、消去を中断することができるので、消去終了待ちによるオーバーヘッドをなくすることができる。また、一旦消去を中断したブロックを再消去するときには、消去に必要な時間から、中断時にかけていた時間を引いた残りの時間、消去するだけでよく、消去にかかる時間は必要最低限なですむ。

【0041】図7は本発明の第3の実施例における不揮発性メモリ記憶装置の構成図である。同図は、第二の実施例の図4とで同じ符号を付した構成要素は、同じものである。説明を省略し、以下異なる点のみ説明する。異なる点は、制御部3において、組み合わせ決定部77が新たに追加された点と、図4の消去制御部45の代わりに消去制御部75を備える点である。

【0042】組み合わせ決定部77は、ブロック選択部34で選択したブロックについて、消去状態管理部46の情報に基づき、3ブロックの組み合わせを決定する。消去制御部75は、組み合わせ決定部77で決定された3ブロックを同時に消去する点が、消去制御部45と異なる。以上のように構成された本実施例の不揮発性メモリ記憶装置について、以下その動作を説明する。ただし、第2の実施例と同じものは省略する。

【0043】また、本実施例では、フラッシュメモリアレイ1のブロック消去をコピーバック処理と並行して行ない、しかも、複数の消去ブロックの組み合わせを制御することにより、消去に必要な電力消費と性能のバランスをとれるようにする。消去を行なうのはコピーバック処理のときだけにし、同時に消去するブロックの数を最大3ブロックとすることによって、少ない消費電力で、性能向上をはかる。これは、コピーバック処理時に、コピーバック対象ブロックが消去済みである時は、直ちにコピーバック処理と消去可能ブロック消去の並列処理を行な

い、コピーバック対象ブロックが消去済みでないときには、対象ブロック1つだけを消去し、対象ブロックの消去終了後、コピーバック処理と消去可能ブロック消去の並列処理を行なうことで実現する。

【0044】キャッシュにヒットしている間は、ブロック消去の並列処理を行なわない。キャッシュメモリ2にヒットしなければ、ミスヒット処理を行う。ミスヒット処理のながれは第2の実施例で説明したながれ(図5、図6)と同じであるので、ここでは、消去ブロックの数に上限を持たせることと、消去ブロックの組合せ決定動作について説明する。

【0045】本実施例では、1ブロックのデータのコピーバック処理に3ミリ秒かかり、フラッシュメモリアレイ1上のデータブロックの消去に9ミリ秒を要する。また、同時に消去するブロックは3ブロックである。消去状態管理部46は、キャッシュメモリ2に格納されている各データブロックごとの消去状態情報を管理している。消去状態情報として、これまでに消去を行なった時間を用いる。すなわち、消去はコピーバックと並行しておこなうので、各ブロックの消去状態としては、0ミリ秒(未消去)、3ミリ秒、6ミリ秒、9ミリ秒(消去済み)の4状態である。

【0046】消去を行なうときには、制御部3のアクセスチップ検出部33は、ブロックアドレスレジスタ31の内容からフラッシュメモリアレイ1のデータの読みだし処理でアクセス対象のフラッシュメモリチップを検出する。即ち、ブロックアドレスレジスタ31に設定された14ビットの上位3ビットを抽出することにより、8個のフラッシュメモリチップのいずれに含まれるブロックかを検出する。ブロック選択部34は、アクセスチップ検出部33で検出されたチップ以外のフラッシュメモリチップに属するデータブロックを格納するエントリーのなかで、書き込みビットがONのエントリーに対応するデータブロックを選択する。組み合わせ決定部37は、ブロック選択部34で選択したブロックについて、消去状態管理部46を検索し、3ブロックの組合せを決定する。組合せは、6ミリ秒のブロックから優先的に、なければ3ミリ秒、さらになければ0ミリ秒の優先順位で、3ブロックを決定する。すでに6ミリ秒消去したブロックをできるだけ多く組合せにすることができれば、コピーバック処理と並行した消去動作を行なうことにより、次のコピーバック処理発生時に、消去済みエリアを確保できる可能性が高くなる。

【0047】以上のように本実施例によれば、コピーバック処理でキャッシュエントリをフラッシュメモリアレイ1に書き戻しているときに、アクセスしていないフラッシュメモリチップ内のデータブロックを消去することにし、同時に消去するブロックの数を3ブロック以下にして、かつ、その組合せを制御することにより、少ない消費電力で性能の高い二次記憶装置を実現することがで

きる。

【0048】

【発明の効果】以上説明したように、本発明によれば、CPUからのデータ読出し／書込み要求に対する処理やキャッシュのエントリリプレースなどの処理と、フラッシュメモリのデータブロックの消去を並行して行うことができ、高速化が図れるという効果がある。

【0049】また、消去実行中であっても、消去を中断することができるので、消去終了待ちによるオーバーヘッドをなくすることができるという効果がある。さらに、複数の消去ブロックの組合せを制御することにより、消去に必要な電力消費と性能のバランスがとれた記憶装置を実現することができるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例の構成を示すブロック図である。

【図2】第1の実施例のキャッシュリードミスの処理を説明する動作フロー図である。

【図3】第1の実施例のキャッシュライトミスの処理を説明する動作フロー図である。

【図4】本発明の第2の実施例の構成を示すブロック図である。

【図5】第2の実施例のキャッシュリードミスの処理を説明する動作フロー図である。

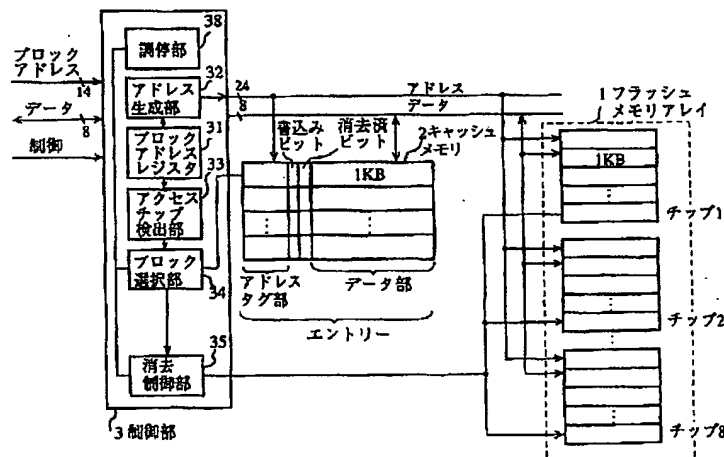
【図6】第2の実施例のキャッシュライトミスの処理を説明する動作フロー図である。

【図7】本発明の第3の実施例の構成を示すブロック図である。

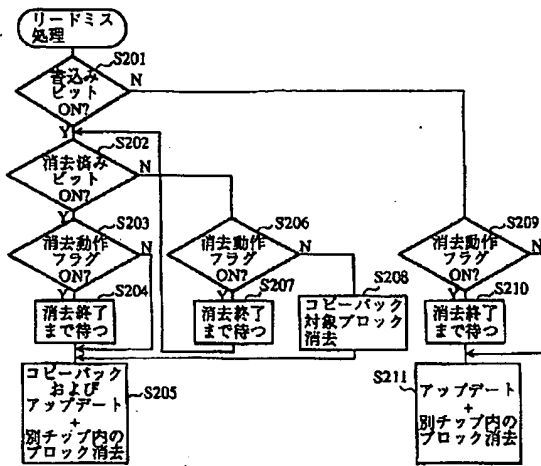
【符号の説明】

- 1 フラッシュメモリアレイ
- 2 キャッシュメモリ
- 3 制御部
- 31 ブロックアドレスレジスタ
- 32 アドレス生成部
- 33 アクセスチップ検出部
- 34 ブロック選択部
- 35 消去制御部
- 38 調停部
- 45 消去制御部
- 46 消去状態管理部
- 48 調停部
- 75 消去制御部
- 77 組合せ決定部

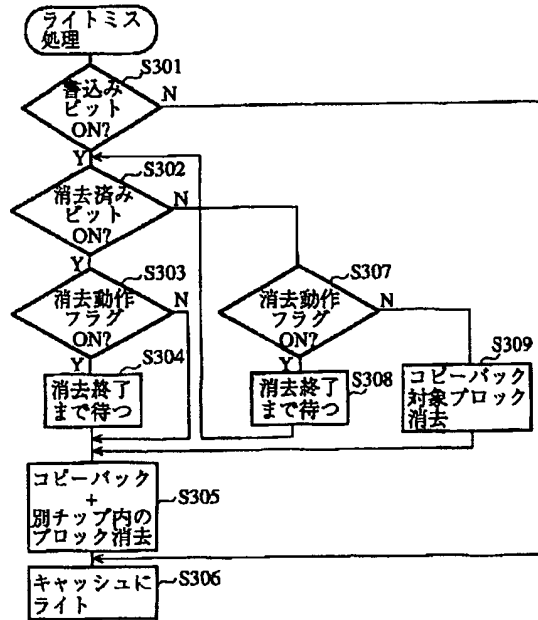
【図1】



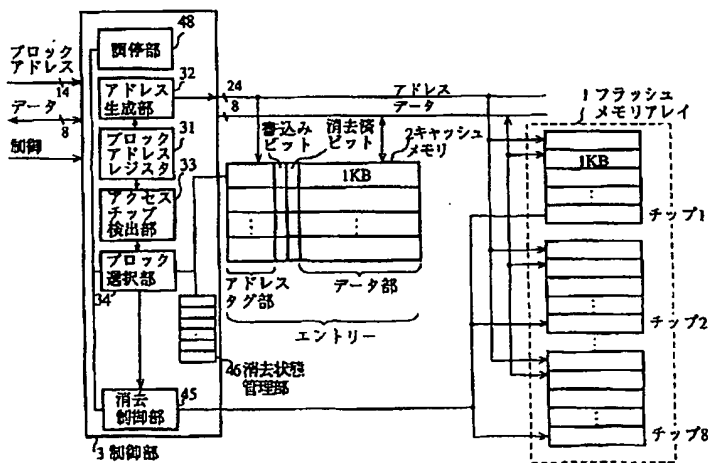
【図 2】



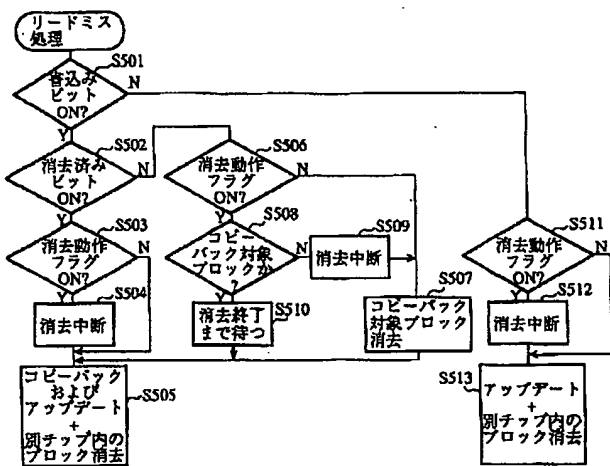
【図 3】



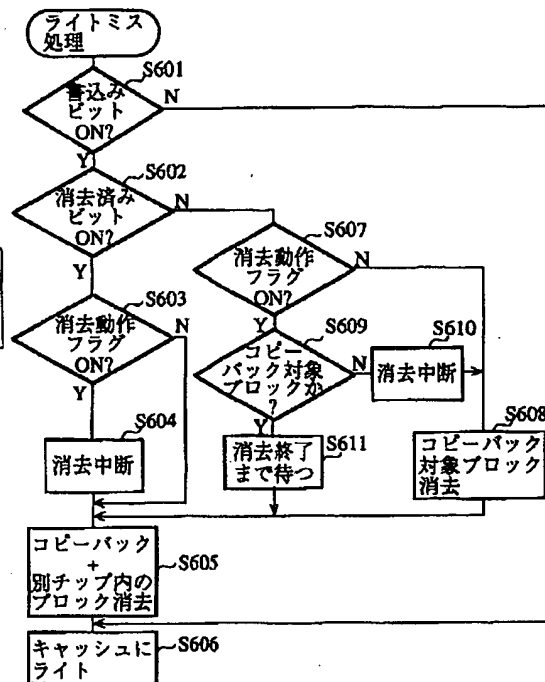
【図 4】



【図 5】



【図 6】



【図 7】

